

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hideo KURIHARA et al.**

Serial Number: **Not Yet Assigned**  
(Continuation of PCT/JP00/03468)

Filed: **March 1, 2002**

For: **SEMICONDUCTOR MEMORY AND METHOD OF MANUFACTURING  
THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

March 1, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 11-250780, filed on September 3, 1999**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

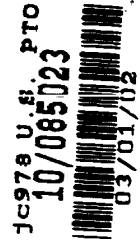
\_\_\_\_\_  
MICHAEL N. LAU, ATTORNEY AT LAW

*Michael N. Lau*

Michael N. Lau  
Reg. No. 39,479

Atty. Docket No.: 020137  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
MNL/yap

#2 Priority  
Document  
2/12/02



日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

1999年 9月 3日

出 願 番 号

Application Number:

平成11年特許願第250780号

出 願 人

Applicant(s):

富士通株式会社

2001年11月 9日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3098549

【書類名】 特許願

【整理番号】 9940253

【提出日】 平成11年 9月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 9

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 栗原 英男

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 飯島 光輝

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 板野 清義

【発明者】

    【住所又は居所】 株式会社内

    【氏名】 千田 哲也

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100090273

    【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面領域に形成された 1 対の不純物拡散層と、  
前記 1 対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して  
形成されたゲート電極とを備え、

前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリア  
を捕獲するように成された半導体記憶装置であって、

前記ゲート絶縁膜は、前記 1 対の不純物拡散層のそれぞれに近接する位置にお  
けるキャリアトラップ特性が他の領域に比して高くなるように形成されているこ  
とを特徴とする半導体記憶装置。

【請求項 2】 前記 1 対の不純物拡散層のそれぞれに近接する位置における  
前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い  
電荷捕獲膜が形成されていることを特徴とする請求項 1 に記載の半導体記憶装置  
。

【請求項 3】 前記ゲート絶縁膜は、前記 1 対の不純物拡散層のそれぞれに  
近接する位置が他の領域に比して薄く形成されていることを特徴とする請求項 2  
に記載の半導体記憶装置。

【請求項 4】 前記ゲート絶縁膜は、前記 1 対の不純物拡散層のそれぞれに  
近接する位置の電気容量換算膜厚が他の領域に比して小さくなるように形成され  
ていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記ゲート絶縁膜上に別の電荷捕獲膜が形成され、前記ゲー  
ト絶縁膜上に当該別の電荷捕獲膜を介して前記ゲート電極が形成されていること  
を特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 6】 半導体基板上に第 1 及び第 2 の絶縁膜を順次形成する第 1 の  
工程と、

前記第 1 及び第 2 の絶縁膜を選択的に除去して共にパターニングする第 2 の工  
程と、

露出した前記半導体基板上から前記第 2 の絶縁膜の下層の所定範囲にかけての

前記半導体基板上に第3の絶縁膜を形成する第3の工程と、

前記第2の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第2の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一对の不純物拡散層を形成する第4の工程と、

前記第2の絶縁膜の下層の所定範囲に形成された前記第3の絶縁膜を残し、他の領域の前記第3の絶縁膜を除去して前記半導体基板を露出させる第5の工程と、

露出した前記半導体基板を熱酸化して素子分離膜を形成する第6の工程と、

前記第1及び第2の絶縁膜を除去して、下層の前記半導体基板及び前記第3の絶縁膜を露出させ、当該第3の絶縁膜を電荷捕獲膜とする第7の工程と、

露出した前記半導体基板の表面を熱酸化して第4の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第4の絶縁膜で覆う第8の工程と、

前記第4の絶縁膜の上層に導電膜を形成する第9の工程と、

前記導電膜をゲート電極形状にパターンニングする第10の工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項7】 前記第2の工程と前記第3の工程の間に、前記第1の絶縁膜をパターン幅方向に所定量除去して、前記第2の絶縁膜のパターン幅よりも幅狭にする第11の工程を更に有し、

前記第3の工程において、露出した前記半導体基板上及び前記所定量の範囲における前記半導体基板上に前記第3の絶縁膜を形成することを特徴とする請求項

【請求項8】 前記第8の工程と前記第9の工程の間に、前記第4の絶縁膜上に第5の絶縁膜を形成する第12の工程を更に有し、

前記第9の工程において前記第4の絶縁膜上に前記第5の絶縁膜を介して前記導電膜を形成することを特徴とする請求項6に記載の半導体記憶装置の製造方法。

【請求項9】 半導体基板上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、

前記第 1 の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、  
前記第 1 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一对の不  
純物拡散層を形成する工程と、

前記不純物拡散層上及び前記第 1 の絶縁膜を覆うように第 2 の絶縁膜を形成す  
る工程と、

前記第 1 の絶縁膜上の前記第 2 の絶縁膜を除去し、前記第 1 の絶縁膜を露出さ  
せる工程と、

前記第 1 の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素  
子活性領域とする工程と、

前記素子活性領域における前記半導体基板上に第 3 の絶縁膜を形成する工程と

、  
前記第 3 の絶縁膜上に第 4 の絶縁膜を形成する工程と、

前記第 4 及び第 2 の絶縁膜を覆うように第 5 の絶縁膜を形成する工程と、

前記素子活性領域の両側にのみ残存するように前記第 5 の絶縁膜を除去して、  
前記第 2 の絶縁膜の側壁に前記第 5 の絶縁膜から成るサイドウォールを形成する  
とともに、前記素子活性領域における前記半導体基板を露出させる工程と、

露出した前記半導体基板上に第 6 の絶縁膜を形成する工程と、

前記サイドウォールを除去して前記サイドウォールの下層の前記第 4 の絶縁膜  
を露出させ、当該第 4 の絶縁膜を電荷捕獲膜とする工程と、

前記電荷捕獲膜上に第 7 の絶縁膜を形成する工程と、

徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置及びその製造方法に関し、特に、1つのメモリセル  
に2ビットの情報を記録可能な不揮発性半導体メモリに用いて好適なものである

。

【0002】

【従来の技術】

近年、キャリアの注入位置を異ならせることにより、1つのメモリセルに2ビットの情報を記録可能とした不揮発性半導体メモリが研究、開発されている。この不揮発性半導体メモリは、ゲートの下層に設けられた電荷捕獲膜にキャリアを捕獲するメモリであって、情報を書き込む場合と読み出す場合とでソース/ドレイン間に印加する電圧の方向を逆方向とし、チャネル領域の両端部に相当する位置における電荷捕獲膜中にそれぞれ独立して電子を捕獲するように構成されている。そして、両端部それぞれにおける電子の捕獲の有無によって2ビットの情報を記録可能としている。

【0003】

例えば、国際公開WO 99/07000号公報には、上述した構成の不揮発性半導体メモリが開示されている。図8を参照しながら、同公報に開示された不揮発性半導体メモリの構成及びデータの書き込み/読み出しの動作について簡単に説明する。

【0004】

図8に示すように、不揮発性半導体メモリ100は、p型シリコン半導体基板101の表面領域に形成されたソース/ドレインとして機能する1対の不純物拡散層102、103と、当該不純物拡散層102、103間のp型シリコン半導体基板101上に形成された3層構造の絶縁膜及び当該3層構造の絶縁膜上に形成されたゲート電極107から成る。ここで、3層構造の絶縁膜はゲート絶縁膜

化膜106から構成されている。

【0005】

この不揮発性半導体メモリ100においては、電荷捕獲膜中のチャネル領域の両端部に相当する位置にそれぞれ独立して電子を捕獲するように構成され、RIGHT BIT及びLEFT BITのそれぞれに1ビット、合計2ビットの情報を記録することが可能とされている。情報の記録は、ゲート絶縁膜104と電荷捕獲膜105の界面に電子が注入されることによって成され、RIGHT BITに情報を記録する場合には、図8に示す領域109に電子が注入され、LE



FT BITに情報を記録する場合には、領域108に電子が注入される。

【0006】

RIGHT BITへ情報を書き込む場合には、例えばソースを0V、ドレインを5V程度としてソース／ドレイン間に電位差を生じさせ、ゲート107に高電圧（10V程度）を印加してソース／ドレイン間にチャンネル110を形成する。ここで、形成されたチャンネル110の範囲 $1_1$ は同電位であり電界は生じない。チャンネル110が形成されていない範囲 $1_2$ ではソース／ドレイン間の電位差に起因して電界が生じるため、この範囲 $1_2$ においてチャンネルホットエレクトロンが発生し、領域109に電子が捕獲（トラップ）される。

【0007】

RIGHT BITから情報を読み出す場合には、書き込みの場合と逆方向の電圧をソース／ドレイン間に印加する。この際、領域109に電子が捕獲されているため、領域109の下層で不純物拡散層103から不純物拡散層102に向かってチャンネルが形成されず、しきい値が上昇しているためソース／ドレイン間には電流が流れない。領域109に電子を捕獲していない場合にはソース／ドレイン間にチャンネルが形成されて電流が流れるため、電子の捕獲の有無に対応して1ビットの情報を記憶することが可能である。

【0008】

領域109に電子を捕獲した場合において、読み出しの際に書き込みと同じ方向に電圧を印加すると、ソース／ドレイン間にチャンネルが形成されて電流が流れ

向の電圧をソース／ドレイン間に印加する必要がある。

【0009】

LEFT BITへの情報の書き込み、読み出しもRIGHT BITの場合と同様に行うことができ、RIGHT BITへの情報の書き込み、読み出しの際に印加する電圧の方向に対してそれぞれ逆方向の電圧を印加することによって行うことができる。

【0010】

【発明が解決しようとする課題】

しかしながら、例えば R I G H T B I T に情報を書き込む場合において、書き込み時にメモリセルのしきい値を上昇させるために発生させたチャネルホットエレクトロンの注入位置は、ドレイン 103 とゲート電極 107 に印加する電圧に応じて変動するため、上述した従来の構成では、領域 109 に電子を局在させる必要があるにもかかわらず、本来電子が注入されるべきではないチャネル中央部のゲート絶縁膜 104 中にも電子が捕獲されるという問題が生じる。

#### 【0011】

また、しきい値が上昇した状態（例えば書き込み状態）において、メモリセルのしきい値を下降させる（例えば消去動作）際に注入されるホットホールは、上述のホットエレクトロンとは発生メカニズムが異なるため、両者の注入位置は必ずしも一致しない。このため、書き込み、消去を繰り返すうちに、いずれか一方の電荷がシリコン窒化膜 105 中に残る場合が生じ、書き込み又は消去不良が起こるという問題があった。

#### 【0012】

この問題は、しきい値を上昇させる場合には電子を過剰に注入し、しきい値を下降させる場合にはホールを過剰に注入することにより軽減することができるものの、キャリアを過剰に注入すると、書き込み、消去速度の遅延が起こり、素子の性能を劣化させてしまうという別の問題が生じてしまう。また、キャリアの過剰な注入は必要以上の電氣的ストレスを絶縁膜に印加することになるため、経時絶縁破壊等の原因となり素子の信頼性の観点からも望ましくない。

また、ホール注入の際の電圧印加条件を電子の注入位置の分布に合わせる方法を選択すると、ホールの発生効率はずしも最適とはならないため、やはり素子特性の劣化を招来することとなる。

#### 【0014】

本発明は、このような問題を解決するために成されたものであり、キャリアの注入位置を異ならせて 2 ビットの情報を記録する半導体記憶装置において、2 ビットの情報を確実に記録、保持することを可能とし、書き込み不良又は消去不良の発生を抑止して信頼性を向上させた半導体記憶装置及びその製造方法を提供す

ることを目的とする。

【0015】

【課題を解決するための手段】

本発明の半導体記憶装置は、半導体基板の表面領域に形成された1対の不純物拡散層と、前記1対の不純物拡散層間における前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを備え、前記ゲート電極に所定電圧を印加することにより前記ゲート絶縁膜にキャリアを捕獲するように成された半導体記憶装置であって、前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置におけるキャリアトラップ特性が他の領域に比して高くなるように形成されている。

【0016】

本発明の半導体記憶装置の一態様例においては、前記1対の不純物拡散層のそれぞれに近接する位置における前記ゲート絶縁膜中に、前記ゲート絶縁膜に比してキャリアトラップ特性が高い電荷捕獲膜が形成されている。

【0017】

本発明の半導体記憶装置の一態様例において、前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置が他の領域に比して薄く形成されている。

【0018】

本発明の半導体記憶装置の一態様例において、前記ゲート絶縁膜は、前記1対の不純物拡散層のそれぞれに近接する位置が他の領域に比して小さくなるように形成されている。

【0019】

本発明の半導体記憶装置の一態様例においては、前記ゲート絶縁膜上に別の電荷捕獲膜が形成され、前記ゲート絶縁膜上に当該別の電荷捕獲膜を介して前記ゲート電極が形成されている。

【0020】

本発明の半導体記憶装置の製造方法は、半導体基板上に第1及び第2の絶縁膜を順次形成する第1の工程と、前記第1及び第2の絶縁膜を選択的に除去して共

にパターニングする第 2 の工程と、露出した前記半導体基板上から前記第 2 の絶縁膜の下層の所定範囲にかけての前記半導体基板上に第 3 の絶縁膜を形成する第 3 の工程と、前記第 2 の絶縁膜をマスクとして前記半導体基板に不純物を導入し、前記第 2 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立した一对の不純物拡散層を形成する第 4 の工程と、前記第 2 の絶縁膜の下層の所定範囲に形成された前記第 3 の絶縁膜を残し、他の領域の前記第 3 の絶縁膜を除去して前記半導体基板を露出させる第 5 の工程と、露出した前記半導体基板を熱酸化して素子分離膜を形成する第 6 の工程と、前記第 1 及び第 2 の絶縁膜を除去して、下層の前記半導体基板及び前記第 3 の絶縁膜を露出させ、当該第 3 の絶縁膜を電荷捕獲膜とする第 7 の工程と、露出した前記半導体基板の表面を熱酸化して第 4 の絶縁膜を形成し、前記電荷捕獲膜の上層及び下層を当該第 4 の絶縁膜で覆う第 8 の工程と、前記第 4 の絶縁膜の上層に導電膜を形成する第 9 の工程と、前記導電膜をゲート電極形状にパターニングする第 1 0 の工程とを有する。

## 【0021】

本発明の半導体記憶装置の製造方法の一態様例においては、前記第 2 の工程と前記第 3 の工程の間に、前記第 1 の絶縁膜をパターン幅方向に所定量除去して、前記第 2 の絶縁膜のパターン幅よりも幅狭にする第 1 1 の工程を更に有し、前記第 3 の工程において、露出した前記半導体基板上及び前記所定量の範囲における前記半導体基板上に前記第 3 の絶縁膜を形成する。

## 【0022】

本発明の半導体記憶装置の製造方法の一態様例においては、前記第 9 の工程の間に、前記第 4 の絶縁膜上に第 5 の絶縁膜を形成する第 1 2 の工程を更に有し、前記第 9 の工程において前記第 4 の絶縁膜上に前記第 5 の絶縁膜を介して前記導電膜を形成する。

## 【0023】

本発明の半導体記憶装置の製造方法は、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を選択的に除去して下層の前記半導体基板を露出させる工程と、前記第 1 の絶縁膜をマスクとして露出した前記半導体基板に不純物を導入し、前記第 1 の絶縁膜の両側の前記半導体基板の表面領域に各々が独立し

た一对の不純物拡散層を形成する工程と、前記不純物拡散層上及び前記第1の絶縁膜を覆うように第2の絶縁膜を形成する工程と、前記第1の絶縁膜上の前記第2の絶縁膜を除去し、前記第1の絶縁膜を露出させる工程と、前記第1の絶縁膜を除去して下層の前記半導体基板を露出させ、この領域を素子活性領域とする工程と、前記素子活性領域における前記半導体基板上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に第4の絶縁膜を形成する工程と、前記第4及び第2の絶縁膜を覆うように第5の絶縁膜を形成する工程と、前記素子活性領域の両側にのみ残存するように前記第5の絶縁膜を除去して、前記第2の絶縁膜の側壁に前記第5の絶縁膜から成るサイドウォールを形成するとともに、前記素子活性領域における前記半導体基板を露出させる工程と、露出した前記半導体基板上に第6の絶縁膜を形成する工程と、前記サイドウォールを除去して前記サイドウォールの下層の前記第4の絶縁膜を露出させ、当該第4の絶縁膜を電荷捕獲膜とする工程と、前記電荷捕獲膜上に第7の絶縁膜を形成する工程と、前記第6及び第7の絶縁膜上を覆う導電膜を形成する工程とを有する。

【0024】

【作用】

本発明は上記技術手段より成るので、データ書き込み時にゲート電極に高電圧を印加してホットエレクトロンを発生させると、ゲート絶縁膜中において、チャネル幅中央部よりもキャリアトラップ特性の高い端部に電子が注入されることとなる。これにより、ゲート電極下のゲート絶縁膜の端部に集中的に電子を捕獲す

端部に集中的に注入することができるため、安定してデータの消去が行われることとなる。

【0025】

【発明の実施の形態】

以下、本発明のいくつかの実施形態に係る不揮発性半導体メモリの構成及びその製造方法を、図面を参照しながら共に説明する。

【0026】

(第1の実施形態)

先ず、第1の実施形態について説明する。図1は第1の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。また、図2及び図3は第1の実施形態に係る不揮発性半導体メモリの平面構成を示す概略平面図である。ここで、図1は不揮発性半導体メモリの1つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、図3の一点鎖線I-I'に沿った位置に対応する断面を示している。

## 【0027】

先ず、p型シリコン半導体基板1上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図1（a）に示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜2を20nm程度の膜厚まで成長させ、シリコン酸化膜2上にCVD法によりシリコン窒化膜3を200nm程度の膜厚で堆積する。

## 【0028】

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位のp型シリコン半導体基板1上にはシリコン窒化膜3及びシリコン酸化膜2を残し、その他の領域のシリコン窒化膜3及びシリコン酸化膜2を除去する。

## 【0029】

次に、図1（b）に示すように、アンモニア（ $\text{NH}_3$ ）ガス雰囲気下において、温度950℃程度、時間20分から120分程度の条件にてアニール処理を行

の下層の所定範囲にかけてシリコン窒化膜4を形成する。この際に、表面に露出したp型シリコン半導体基板1においては、シリコンとアンモニアガスの直接反応によりシリコン窒化膜4が形成される。また、シリコン窒化膜3のパターン端部下においては、シリコン酸化膜2中を拡散したアンモニアとの反応でシリコン窒化膜4が形成される。シリコン窒化膜4の成膜条件を調整することにより、シリコン窒化膜3のパターン端に形成されるシリコン窒化膜4の幅を制御することができる。

## 【0030】

なお、シリコン窒化膜4の形成はイオン注入法によって行っても良い。この場合には、窒素( $N_2$ )等を含むイオンを、加速エネルギー30keV程度、ドーズ量 $1 \times 10^{16}$  (ions/cm<sup>2</sup>)程度の条件でイオン注入し、アニールすることによりp型シリコン半導体基板1の表面付近に窒素を含んだ膜を形成する。この際、p型シリコン半導体基板1に対するイオン注入の角度を制御することで、シリコン窒化膜3のパターン端の下層に形成されるシリコン窒化膜4の幅を制御することができる。

#### 【0031】

次に、図1(c)に示すように、シリコン窒化膜3をマスクとしてp型シリコン半導体基板1の表面領域にイオン注入を行う。具体的には、n型の不純物である砒素(As)を加速エネルギー50keV程度、ドーズ量を $1 \times 10^{16}$  (ions/cm<sup>2</sup>)程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物は、シリコン窒化膜3の両側のp型シリコン半導体基板1の表面領域における、ソース/ドレインとして機能する1対の不純物拡散層6となる。本実施形態において、不純物拡散層6はビットラインとして機能するため、図2に示すように、不純物拡散層6は複数本が所定方向に延在するように形成され各メモリセルと接続される。

#### 【0032】

次に、図1(d)に示すように、シリコン窒化膜3をマスクとして、熱酸化によりp型シリコン半導体基板1の表面を選択酸化する。この際、図1(c)の工程においては、シリコン窒化膜3の両側のp型シリコン半導体基板1の表面領域のシリコン窒化膜3の耐酸化性は失われているため、図1(d)に示す工程での熱酸化によりシリコン窒化膜3の下層以外のp型シリコン半導体基板1の表面が酸化されて、いわゆるLOCOS(Local oxidation of silicon)素子分離としてのシリコン酸化膜5が成長する。そして、シリコン酸化膜5によってp型シリコン半導体基板1上に素子活性領域が画定される。

#### 【0033】

次に、図1(e)に示すように、p型シリコン半導体基板1を温度150℃程度のリン酸溶液中に浸し、シリコン窒化膜3を溶解して除去する。この際、シリ

コン窒化膜 3 の下層に形成されているシリコン窒化膜 4 は、上面がシリコン酸化膜 2 で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜 2 下に残存する。

#### 【0034】

次に、図 1 (f) に示すように、p 型シリコン半導体基板 1 上のシリコン酸化膜 2 をフッ酸 (HF) 溶液に浸して除去する。その後、熱酸化を施して、ゲート絶縁膜としてのシリコン酸化膜 7 を膜厚 15 nm 程度形成する。この際、シリコン窒化膜 4 が形成されている部位では、シリコン窒化膜 4 の作用により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜 7 は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜 4 はシリコン酸化膜 7 によって覆われ、1 対の不純物拡散層 6 のそれぞれの近傍における p 型シリコン半導体基板 1 上には、シリコン酸化膜 7 中にシリコン窒化膜 4 を含む構造のゲート絶縁膜が形成される。

#### 【0035】

シリコン窒化膜 4 はシリコン酸化膜 7 に比してキャリアトラップ特性が高いため、ゲート絶縁膜として機能するシリコン酸化膜 7 中の一部にシリコン窒化膜 4 を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜 7 の他の領域に比して向上させることができる。すなわち、シリコン酸化膜 7 の端部にシリコン窒化膜 4 を形成することによって、チャネル領域の中央近傍に比してチャネル領域端部の電気容量換算膜厚を小さくしたゲート絶縁膜を形成

シリコン窒化膜 4 が形成された領域よりもシリコン酸化膜 7 が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜 7 へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

#### 【0036】

次に、図 1 (g) に示すように、CVD 法によりリン (P) がドーブされた多結晶シリコン膜 8 を p 型シリコン半導体基板 1 上の全面に形成し、更に、CVD 法により多結晶シリコン膜 8 上にタングステンシリサイド膜 9 を膜厚 100 nm



程度堆積する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 をゲート電極形状にパターニングする。これにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース／ドレイン拡散層（不純物拡散層 6）、ゲート絶縁膜（シリコン酸化膜 7、シリコン窒化膜 4）、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）の形成が完了する。

## 【0037】

その後、一般的な配線層の形成工程を行い本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD法により層間絶縁膜（シリコン酸化膜等）を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

## 【0038】

図 2 は、完成した本実施形態に係る不揮発性半導体メモリの全体の平面構成を示す図であり、ゲート電極上の層間絶縁膜及びアルミニウム膜は図示を省略して示す。図 2 に示すように、ソース／ドレイン拡散層（不純物拡散層 6）は複数本が並んで配置され、やはり複数本並んで形成された不純物拡散層 6 に対して直交するように形成される。

## 【0039】

図 3 は、図 2 中の二点鎖線で囲まれた領域 A を拡大して示す模式図であり、素子分離膜としてのシリコン酸化膜 5 は図示を省略している。図 3 において、二点鎖線 B で囲まれた領域が 1 つのメモリセルを構成する領域である。図 3 に示すように、シリコン窒化膜 4 は不純物拡散層 6 の両側に沿って形成され、シリコン酸化膜 7 を介して対向するように配置されている。データの書き込み、消去は、選

択されたメモリセルに対応するゲート電極を高電位とし、当該メモリセルの両側の不純物拡散層 6 間に電位差を与えることにより行うことができる。

#### 【0040】

図 4 は、データの書き込み及び読み出しの動作を示す模式図である。データを書き込む際には、図 4 (a) に示すように、右側に位置する不純物拡散層 6 a をソースとして接地し、左側に位置する不純物拡散層 6 b をドレインとして 5 V 程度の電圧を印加する。そして、ゲート電極に高電圧 (10 V) 程度を印加することにより、ドレイン (不純物拡散層 6 b) 近傍でホットエレクトロンが発生してシリコン窒化膜 4 b に電子 e が捕獲される。この際、電子 e を捕獲するシリコン窒化膜 4 b をドレイン近傍にのみ形成し、チャンネル幅中央近傍に形成していないため、シリコン窒化膜 4 b が形成された領域にのみ電子 e が捕獲されることになる。従って、シリコン窒化膜 4 b が形成された領域以外への電子 e の捕獲を抑止して、データの書き込みの信頼性を向上させることができる。

#### 【0041】

データを消去する際には、不純物拡散層 6 a を開放し、不純物拡散層 6 b をドレインとして 5 V 程度の電圧を印加する。そして、ゲート電極に負電圧 (-5 V 程度) を印加することにより、ドレイン (不純物拡散層 6 b) 近傍でホットホールが発生してシリコン窒化膜 4 b にホールが捕獲される。この際、ホールを捕獲するシリコン窒化膜 4 b をドレイン近傍にのみ形成し、チャンネル幅中央近傍に形成していないため、シリコン窒化膜 4 b が形成された領域にのみホールが捕獲さ

、データの消去の信頼性を向上させることが可能となる。

#### 【0042】

データを読み出す際には、図 4 (b) に示すように、不純物拡散層 6 b をソースとして接地し、不純物拡散層 6 a をドレインとして 1.6 V 程度の電圧を印加する。シリコン窒化膜 4 b に電子 e が捕獲されている場合には、捕獲された電子 e により生じる負電界によりチャンネル消失するため、しきい値が上昇し、不純物拡散層 6 a, 6 b 間には電流が流れない。シリコン窒化膜 4 b に電子 e が捕獲されていない場合には、チャンネルが消失せず、不純物拡散層 6 a, 6 b 間に電流が

流れる。従って、シリコン窒化膜 4 b への電子 e の捕獲の有無に対応して、1 ビットの情報を記憶することが可能である。

#### 【 0 0 4 3 】

シリコン窒化膜 4 a へのデータを書き込み、読み出しは、上述したシリコン窒化膜 4 b へのデータを書き込み、読み出しと逆方向の電圧を印加することにより行うことができる。これにより、シリコン窒化膜 4 a, 4 b に 2 ビットの情報を記録することが可能となる。

#### 【 0 0 4 4 】

以上説明したように、本発明の第 1 の実施形態によれば、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。これにより、情報を記録する際に、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）を高電位とし、1 対の不純物拡散層 6 間に電位差を与えた場合において、ゲート電極の電位や 1 対の不純物拡散層 6 間の電位差のバラツキ等に影響を受けることなく、確実にシリコン窒化膜 4 近傍に電子をトラップすることができ、他の領域に電子がトラップされることを抑止することができる。また、データの消去時においても、確実にシリコン窒化膜 4 近傍に正孔（ホール）をトラップすることができ、他の領域に正孔が捕獲されることを抑止することができる。これにより、必要最小限のキャリアの注入により、安定かつ確実にデータの記録及び消去を行うことが可

#### 【 0 0 4 5 】

##### （第 2 の実施形態）

次に、本発明の第 2 の実施形態について説明する。図 5 は第 2 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第 2 の実施形態に係る不揮発性半導体メモリの平面構成は、図 2 及び図 3 に示した第 1 の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図 5 は不揮発性半導体メモリの 1 つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、第 1 の実施形態と同様、図 3 の一点鎖線 I - I'

に沿った位置に対応する断面を示している。なお、図5において、第1の実施形態と共通の構成要素については図1と同様の符号を記して説明する。

#### 【0046】

まず、p型シリコン半導体基板1上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図5（a）に示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜2を20nm程度の膜厚まで成長させ、シリコン酸化膜2上にCVD法によりシリコン窒化膜3を200nm程度の膜厚で堆積する。

#### 【0047】

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位のp型シリコン半導体基板1上にはシリコン窒化膜3及びシリコン酸化膜2を残し、その他の領域のシリコン窒化膜3及びシリコン酸化膜2を除去する。

#### 【0048】

次に、図5（b）に示すように、p型シリコン半導体基板1をフッ酸（HF）溶液に浸し、シリコン酸化膜2を横幅方向に50nm程度ウエットエッチングする。このエッチングにより、シリコン酸化膜2の幅がシリコン窒化膜3の幅よりも狭くなる。その後、アンモニア（ $\text{NH}_3$ ）ガス雰囲気下において、温度950℃程度、時間20分から120分程度の条件にてアニール処理を行い、露出したp型シリコン半導体基板1上からシリコン窒化膜3のパターン端部の下層、シリ

したようにシリコン酸化膜2を横幅方向にエッチングしているため、シリコン窒化膜3のパターン端の下層におけるp型シリコン半導体基板11の表面領域にシリコン窒化膜4を確実に形成することができる。また、シリコン酸化膜2の除去量を制御することにより、シリコン窒化膜3の下層におけるシリコン窒化膜4の横幅を高い精度で調整することが可能となる。

#### 【0049】

なお、シリコン窒化膜4の形成はイオン注入法によって行っても良い。この場合には、窒素（ $\text{N}_2$ ）等を含むイオンを、加速エネルギー30keV程度、ドー

ズ量  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入し、アニールすることにより p 型シリコン半導体基板 1 の表面付近に窒素を含んだ膜を形成する。この際、p 型シリコン半導体基板 1 に対するイオン注入の角度を制御することで、シリコン窒化膜 3 のパターン端の下層に形成されるシリコン窒化膜 4 の幅を制御することができる。

## 【0050】

次に、図 5 (c) に示すように、シリコン窒化膜 3 をマスクとして p 型シリコン半導体基板 1 の表面領域にイオン注入を行う。具体的には、n 型の不純物である砒素 (As) を加速エネルギー 50 keV 程度、ドーズ量を  $1 \times 10^{16}$  (ions/cm<sup>2</sup>) 程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物は、シリコン窒化膜 3 の両側の p 型シリコン半導体基板 1 の表面領域における、ソース/ドレインとして機能する 1 対の不純物拡散層 6 となる。そして、不純物拡散層 6 はビットラインとして機能するため、図 2 に示すように、複数本が所定方向に延在するように形成され、各メモリセルと接続される。

## 【0051】

次に、図 5 (d) に示すように、シリコン窒化膜 3 をマスクとして、熱酸化により p 型シリコン半導体基板 1 の表面を選択的に酸化する。この際、図 5 (c) の工程におけるイオン注入によって、砒素が打ち込まれた領域のシリコン窒化膜 4 の耐酸化性は失われているため、図 5 (d) に示す工程での熱酸化によりシリコン窒化膜 3 の下層以外の p 型シリコン半導体基板 1 の表面が酸化されて、いわゆる T O C O S 素子分離としてのシリコン酸化膜 5 が形成される。そして、シリコン酸化膜 5 によって p 型シリコン半導体基板 1 上に素子活性領域が画定される。

## 【0052】

次に、図 5 (e) に示すように、p 型シリコン半導体基板 1 を温度 150℃ 程度のリン酸溶液中に浸し、シリコン窒化膜 3 を溶解して除去する。この際、シリコン窒化膜 3 の下層に形成されているシリコン窒化膜 4 は、上面がシリコン酸化膜 2 で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜 2 下に残存する。

## 【0053】

次に、図5 (f) に示すように、p型シリコン半導体基板1上のシリコン酸化膜2をフッ酸(HF)溶液に浸して除去する。その後、熱酸化を施して、ゲート絶縁膜としてのシリコン酸化膜7を膜厚15 nm程度形成する。この際、シリコン窒化膜4が形成されている部位では、シリコン窒化膜4により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜7は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜4はシリコン酸化膜7によって覆われ、1対の不純物拡散層6のそれぞれの近傍におけるp型シリコン半導体基板1上には、シリコン酸化膜7中にシリコン窒化膜4を含む構造のゲート絶縁膜が形成される。

## 【0054】

シリコン窒化膜4はシリコン酸化膜7に比してキャリアトラップ特性が高いため、第1の実施形態と同様に、ゲート絶縁膜として機能するシリコン酸化膜7中の一部にシリコン窒化膜4を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜7の他の領域に比して向上させることができる。しかも、シリコン窒化膜4が形成されていない領域では、シリコン窒化膜4が形成された領域よりもシリコン酸化膜7が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜7へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

## 【0055】

次に、図5 (g) に示すように、CVD法により、シリコン (Si) を含む多結晶シリコン膜8をp型シリコン半導体基板1上の全面に形成し、更に、CVD法により多結晶シリコン膜8上にタングステンシリサイド膜9を膜厚100 nm程度堆積する。その後、フォトリソグラフィ及びこれに続くドライエッチングにより、多結晶シリコン膜8及びタングステンシリサイド膜9をゲート電極形状にパターニングする。これにより、多結晶シリコン膜8及びタングステンシリサイド膜9から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース/ドレイン拡散層(不純物拡散層6)、ゲート絶縁膜(シリコン酸化膜7、シリコン窒化膜4)、ゲート電極

(多結晶シリコン膜 8、タングステンシリサイド膜 9) の形成が完了する。

【0056】

その後、一般的な配線層の形成工程を行い、本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD法により層間絶縁膜(シリコン酸化膜等)を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

【0057】

以上説明したように、本発明の第 2 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。また、第 2 の実施形態においては、シリコン窒化膜 4 を形成する際に、シリコン窒化膜 3 の幅よりも幅狭となるように予めシリコン酸化膜 2 の両端部を所定量除去しているため、除去した領域に確実にシリコン窒化膜 4 を形成することができる。そして、シリコン酸化膜 2 の除去量を制御することによって、ゲート電極下のシリ

【0058】

(第 3 の実施形態)

次に、本発明の第 3 の実施形態について説明する。図 6 は第 3 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第 2 の実施形態に係る不揮発性半導体メモリの平面構成は、図 2 及び図 3 に示した第 1 の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図 6 は不揮発性半導体メモリの 1 つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、第 1 の実施形態と同様、図 3 の一点鎖線 I-I'

に沿った位置に対応する断面を示している。なお、図6において、第1の実施形態と共通の構成要素については図1と同様の符号を記して説明する。

#### 【0059】

先ず、p型シリコン半導体基板1上に所定のウェルを形成し、更に周辺回路領域の素子分離を行う（不図示）。次に、図6（a）に示すように、メモリセルの領域において、熱酸化法によりシリコン酸化膜2を20nm程度の膜厚まで成長させ、シリコン酸化膜2上にCVD法によりシリコン窒化膜3を200nm程度の膜厚で堆積する。

#### 【0060】

その後、フォトリソグラフィー及びこれに続くエッチングにより、メモリセルのチャネル領域となる部位のp型シリコン半導体基板1上にはシリコン窒化膜3及びシリコン酸化膜2を残し、その他の領域のシリコン窒化膜3及びシリコン酸化膜2を除去する。

#### 【0061】

次に、図6（b）に示すように、アンモニア（ $\text{NH}_3$ ）ガス雰囲気下において、温度950℃程度、時間20分から120分程度の条件にてアニール処理を行い、露出したp型シリコン半導体基板1上からシリコン窒化膜3のパターン端部の下層の所定範囲にかけてシリコン窒化膜4を形成する。この際に、表面に露出したp型シリコン半導体基板1においては、シリコンとアンモニアガスの直接反応によりシリコン窒化膜4が形成される。また、シリコン窒化膜3のパターン端部においては、シリコン酸化膜の酸素拡散により、シリコン窒化膜4が形成される。

シリコン窒化膜4の成膜条件を調整することにより、シリコン窒化膜3のパターン端に形成されるシリコン窒化膜4の幅を制御することが可能である。

#### 【0062】

なお、シリコン窒化膜4の形成はイオン注入法によって行っても良い。この場合には、窒素（ $\text{N}_2$ ）等を含むイオンを、加速エネルギー30keV程度、ドーズ量 $1 \times 10^{16}$ （ions/cm<sup>2</sup>）程度の条件でイオン注入し、アニールすることによりp型シリコン半導体基板1の表面付近に窒素を含んだ膜を形成する。



この際、p型シリコン半導体基板1に対するイオン注入の角度を制御することで、シリコン窒化膜3のパターン端の下層に形成されるシリコン窒化膜4の幅を制御することができる。

#### 【0063】

次に、図6(c)に示すように、シリコン窒化膜3をマスクとしてp型シリコン半導体基板1の表面領域にイオン注入を行う。具体的には、n型の不純物である砒素(As)を加速エネルギー50keV程度、ドーズ量を $1 \times 10^{16}$  (ions/cm<sup>2</sup>)程度の条件でイオン注入する。このイオン注入により打ち込まれた不純物は、シリコン窒化膜3の両側のp型シリコン半導体基板1の表面領域における、ソース/ドレインとして機能する1対の不純物拡散層6となる。不純物拡散層6はビットラインとして機能するため、図2に示すように、複数本が所定方向に延在するように形成され、各メモリセルと接続される。

#### 【0064】

次に、図6(d)に示すように、シリコン窒化膜3をマスクとして、熱酸化によりp型シリコン半導体基板1の表面を選択酸化する。この際、図6(c)の工程におけるイオン注入によって、砒素が打ち込まれた領域のシリコン窒化膜4の耐酸化性は失われているため、図6(d)に示す工程での熱酸化によりシリコン窒化膜3の下層以外のp型シリコン半導体基板1の表面が酸化されて、いわゆるLOCOS素子分離としてのシリコン酸化膜5が成長する。そして、シリコン酸化膜5によってp型シリコン半導体基板1上に素子活性領域が画定される。

#### 【0065】

次に、図6(e)に示すように、p型シリコン半導体基板1を温度150℃程度のリン酸溶液中に浸し、シリコン窒化膜3を溶解して除去する。この際、シリコン窒化膜3の下層に形成されているシリコン窒化膜4は、上面がシリコン酸化膜2で覆われて保護されているため、リン酸によって除去されることなくシリコン酸化膜2下に残存する。

#### 【0066】

次に、図6(f)に示すように、p型シリコン半導体基板1上のシリコン酸化膜2をフッ酸(HF)溶液に浸して除去する。その後、熱酸化を施して、ゲート

絶縁膜としてのシリコン酸化膜7を膜厚15nm程度形成する。この際、シリコン窒化膜4が形成されている部位では、シリコン窒化膜4により熱酸化による酸化速度が低下するため、この位置におけるシリコン酸化膜7は他の領域に比して薄く形成される。この熱酸化によってシリコン窒化膜4はシリコン酸化膜7によって覆われ、1対の不純物拡散層6のそれぞれの近傍におけるp型シリコン半導体基板1上には、シリコン酸化膜7中にシリコン窒化膜4を含む構造のゲート絶縁膜が形成される。

## 【0067】

シリコン窒化膜4はシリコン酸化膜7に比してキャリアトラップ特性が高いため、第1の実施形態と同様に、ゲート絶縁膜として機能するシリコン酸化膜7中の一部にシリコン窒化膜4を含ませることによって、この部位におけるキャリアトラップ特性をシリコン酸化膜7の他の領域に比して向上させることができる。しかも、シリコン窒化膜4が形成されていない領域では、シリコン窒化膜4が形成された領域よりもシリコン酸化膜7が厚く形成されているため、上部に形成するゲート電極に電圧を印加した場合、ゲート酸化膜7へのキャリアトラップが抑制される。従って、チャネル領域の中央近傍に比してチャネル領域端部におけるキャリアトラップ特性を高めることができる。

## 【0068】

次に、図6(g)に示すように、CVD法により膜厚6nm程度にシリコン窒化膜10をシリコン酸化膜7及びシリコン酸化膜5上に形成する。これにより、不純物拡散層6の近傍においては、シリコン酸化膜7、シリコン窒化膜4、シリコン酸化膜7、シリコン窒化膜10の積層構造から成るトラップ膜が形成される。このように、電荷をトラップする膜としてのシリコン窒化膜を2層形成することによって、不純物拡散層6の近傍におけるキャリアトラップ特性を更に向上させることができる。

## 【0069】

その後、CVD法により、リン(P)がドーブされた多結晶シリコン膜8をp型シリコン半導体基板1上の全面に形成し、更に、CVD法により多結晶シリコン膜8上にタングステンシリサイド膜9を膜厚100nm程度堆積する。その後

、フォトリソグラフィー及びこれに続くドライエッチングにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 をゲート電極形状にパターニングする。これにより、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るポリサイド構造のゲート電極が形成される。そして、以上の工程により、トランジスタの主要部分であるソース／ドレイン拡散層（不純物拡散層 6）、ゲート絶縁膜（シリコン酸化膜 7、シリコン窒化膜 4、シリコン窒化膜 10）、ゲート電極（多結晶シリコン膜 8、タングステンシリサイド膜 9）の形成が完了する。

## 【0070】

その後、一般的な配線層の形成工程を行い、本実施形態に係る不揮発性半導体メモリを完成させる。すなわち、CVD法により層間絶縁膜（シリコン酸化膜等）を堆積して、多結晶シリコン膜 8 及びタングステンシリサイド膜 9 から成るゲート電極を覆い、フォトリソグラフィー及びこれに続くドライエッチングにより、層間絶縁膜にコンタクトホールを形成する。そして、層間絶縁膜上に配線層として例えばアルミニウム膜をスパッタ法により堆積してコンタクトホールを充填し、フォトリソグラフィー及びこれに続くドライエッチングにより、アルミニウム膜を所定形状にパターニングする。その後、アルミニウム膜を覆うように保護膜を形成する。

## 【0071】

以上説明したように、本発明の第 3 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 7 の両端にキャリアトラップ特性の高いシリコン窒化膜 4 を形成しているため、構造的に電荷の注入等が可能であることにより、酸化膜 7、シリコン窒化膜 4 の近傍のみにキャリアをトラップすることが可能となる。そして、第 3 の実施形態においては、シリコン窒化膜 4 の上層にシリコン窒化膜 10 を重ねて形成することにより、ゲート酸化膜 7 の端部におけるキャリアトラップ特性をより向上させることができ、データの記録及び消去を更に確実に行うことができる。

## 【0072】

## （第 4 の実施形態）

次に、本発明の第 4 の実施形態について説明する。図 7 は第 4 の実施形態に係

る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。第4の実施形態に係る不揮発性半導体メモリの平面構成は、図2及び図3に示した第1の実施形態に係る不揮発性半導体メモリの平面構成と同様である。ここで、図7は不揮発性半導体メモリの2つのメモリセルに着目し、当該メモリセルの断面を製造工程順に示した図であって、図3の一点鎖線 I I - I I' に沿った位置に対応する断面を示している。

## 【0073】

先ず、図7(a)に示すように、p型シリコン半導体基板11(比抵抗 $1\sim 12\Omega\text{cm}$ 、ホウ素(B)含有)の主表面上に、CVD法によりシリコン窒化膜12を膜厚 $150\text{nm}\sim 300\text{nm}$ 程度に形成する。

## 【0074】

次に、フォトリソグラフィー及びこれに続くドライエッチングにより、ビットライン拡散層を形成する予定の領域上のシリコン窒化膜12を選択的に除去する。そして、シリコン窒化膜12をマスクとしてイオン注入を行う。具体的には、n型の不純物である砒素(As)を加速エネルギー $60\text{keV}\sim 100\text{keV}$ 程度、ドーズ量 $1\times 10^{15}\sim 1\times 10^{16}(\text{ions}/\text{cm}^2)$ 程度の条件でイオン注入し、ビットライン拡散層となる高濃度の不純物拡散層13を形成する。

## 【0075】

次に、図7(b)に示すように、CVD法によりシリコン酸化膜14を膜厚 $300\text{nm}\sim 500\text{nm}$ 程度形成し、CMP(化学機械研磨)法又はドライエッチングによりビットライン拡散層(不純物拡散層13)上のシリコン酸化膜14を除去し、その他の領域のシリコン酸化膜14を除去する。これにより、不純物拡散層13上のシリコン酸化膜14の表面がシリコン窒化膜12の表面と略同一面となる。この図7(a)及び図7(b)に示す工程により、不純物拡散層13とシリコン酸化膜14を1回のフォトリソグラフィーで自己整合的に形成することができる。

## 【0076】

次に、図7(c)に示すように、リン酸等を用いたウエットエッチングによりシリコン窒化膜12を除去し、下層のp型シリコン半導体基板11の表面を露出

させる。その後、p型シリコン半導体基板11に熱酸化を施して、シリコン窒化膜12を除去した結果露出したp型シリコン半導体基板11の表面に膜厚10nm~30nm程度のシリコン酸化膜15を形成する。その後、CVD法により、シリコン酸化膜14及びシリコン酸化膜15上に、キャリアトラップ膜となるシリコン窒化膜16を膜厚10nm~20nm程度形成する。

## 【0077】

次に、図7(d)に示すように、CVD法により、例えばシリコン酸化膜17を膜厚300nm~500nm程度形成し、ドライエッチングによりシリコン酸化膜14の側壁にのみに残存するように除去する。これにより、シリコン酸化膜14の側壁にシリコン酸化膜17及びシリコン窒化膜16から成るサイドウォールが形成される。また、このドライエッチングによりサイドウォール間のシリコン窒化膜16及びシリコン酸化膜15が除去されてp型シリコン半導体基板11の表面が露出する。

## 【0078】

次に、図7(e)に示すように、温度800~900℃程度、時間30~90分程度の条件でp型シリコン半導体基板11の表面に熱酸化を施して、露出しているp型シリコン半導体基板11の表面にシリコン酸化膜18を形成する。その後、ウエットエッチングによりシリコン酸化膜17を除去し、熱酸化を施すことによりシリコン窒化膜16の表面を酸化してシリコン酸化膜19を形成する。ここで、例えば、シリコン酸化膜17中に予め不純物（ホウ素、リン）等を含ませることで、シリコン酸化膜17とシリコン酸化膜14の間のエッチングレートを異ならせることができ、シリコン酸化膜14の除去量を最小限に抑えた状態でシリコン酸化膜17を除去することが可能である。また、シリコン酸化膜18は熱酸化により形成した酸化膜であるため、シリコン酸化膜17とはエッチングレートが異なり、その除去量は最小限に抑えられる。シリコン酸化膜17の代わりに、シリコン酸化膜14、18とはエッチングレートが異なる他の絶縁膜を用いてもよい。

## 【0079】

これにより、シリコン酸化膜18の両側のp型シリコン半導体基板11上にお

いて、シリコン窒化膜 16 は、下層がシリコン酸化膜 15、上層がシリコン酸化膜 19 によって覆われることとなり、ゲート絶縁膜が形成される。シリコン酸化膜 18 を形成する熱酸化の際に、シリコン窒化膜 16 はシリコン酸化膜 17 によって覆われているため、シリコン酸化膜 18 の膜厚を独立して制御することが可能である。

#### 【0080】

なお、シリコン酸化膜 17 をウエットエッチングによって除去した後、熱酸化を施してシリコン酸化膜 18 とシリコン酸化膜 19 を同時に形成してもよい。この場合、シリコン窒化膜 16 近傍では熱酸化による酸化速度が低下するため、シリコン酸化膜 19 はシリコン酸化膜 18 よりも薄く形成される。

#### 【0081】

次に、図 7 (f) に示すように、CVD 法により磷 (P) を  $2 \times 10^{20} \sim 6 \times 10^{20}$  (atoms/cm<sup>3</sup>) 程度含有した多結晶シリコン膜 20 を、膜厚 100 nm ~ 200 nm 程度形成し、フォトリソグラフィー及びこれに続くドライエッチングによりワードライン形状にパターニングする。

#### 【0082】

その後、p 型シリコン半導体基板 11 中の拡散層の熱処理による活性化、層間絶縁膜の形成、コンタクト孔の開孔、メタル配線の形成等を行い、本実施形態に係る不揮発性半導体メモリを完成させる。

#### 【0083】

以上説明したように、本発明の第 4 の実施形態によれば、第 1 の実施形態と同様に、ゲート酸化膜 18 の両端にキャリアトラップ特性の高いシリコン窒化膜 15 を形成しているため、構造的に電荷の注入箇所が限定されることとなり、確実にシリコン窒化膜 15 の近傍のみにキャリアをトラップすることが可能となる。また、第 4 の実施形態によれば、不純物拡散層 13 と、不純物拡散層 13 上のシリコン酸化膜 14 を 1 回のフォトリソグラフィーで自己整合的に形成することができる。これにより、隣接する 2 つの不純物拡散層 13 間にシリコン酸化膜 15、18、19 及びシリコン窒化膜 16 から成るゲート絶縁膜を高い精度で形成することが可能となる。また、シリコン酸化膜 18 を形成する場合に、シリコン窒

化膜 1 6 をサイドウォールであるシリコン酸化膜 1 7 によって覆うことにより、シリコン酸化膜 1 8 の膜厚を独立して高い精度で形成することが可能となる。

【0084】

なお、上述の第 2 ～第 4 の実施形態に係る不揮発性半導体メモリへのデータの書き込み、消去及び読み出しの各動作については、図 4 において説明した第 1 の実施形態と同様に行うことが可能である。

【0085】

また、上記各実施形態においては、キャリアトラップ膜としてシリコン窒化膜を用い、シリコン窒化膜の形成された部位のキャリアトラップ特性を高めた構成を例示したが、本発明はこれに限定されるものではなく、他の絶縁膜を用いる場合を含め、チャネル領域の端部におけるキャリアトラップ特性を局部的に高めた構成は全て本発明の範疇に属する。

【0086】

【発明の効果】

本発明によれば、キャリアの注入位置を異ならせて 2 ビットの情報を記録する半導体記憶装置において、2 ビットの情報を安定かつ確実に記録し、保持することが可能となる。従って、書き込み又は消去不良の発生を抑止することができ、信頼性を向上させた半導体記憶装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る不揮発性半導体メモリの製造方法の一形態を示す概略断面図である。

【図 2】

本発明の各実施形態に係る不揮発性半導体メモリの平面構成を示す概略平面図である。

【図 3】

本発明の各実施形態に係る不揮発性半導体メモリの平面構成を詳細に示す概略平面図である。

【図 4】

本発明の各実施形態に係る不揮発性半導体メモリの書き込み、読み出しの動作を示す概略断面図である。

【図 5】

本発明の第 2 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

【図 6】

本発明の第 3 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

【図 7】

本発明の第 4 の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図である。

【図 8】

従来の不揮発性半導体メモリの構成を示す概略断面図である。

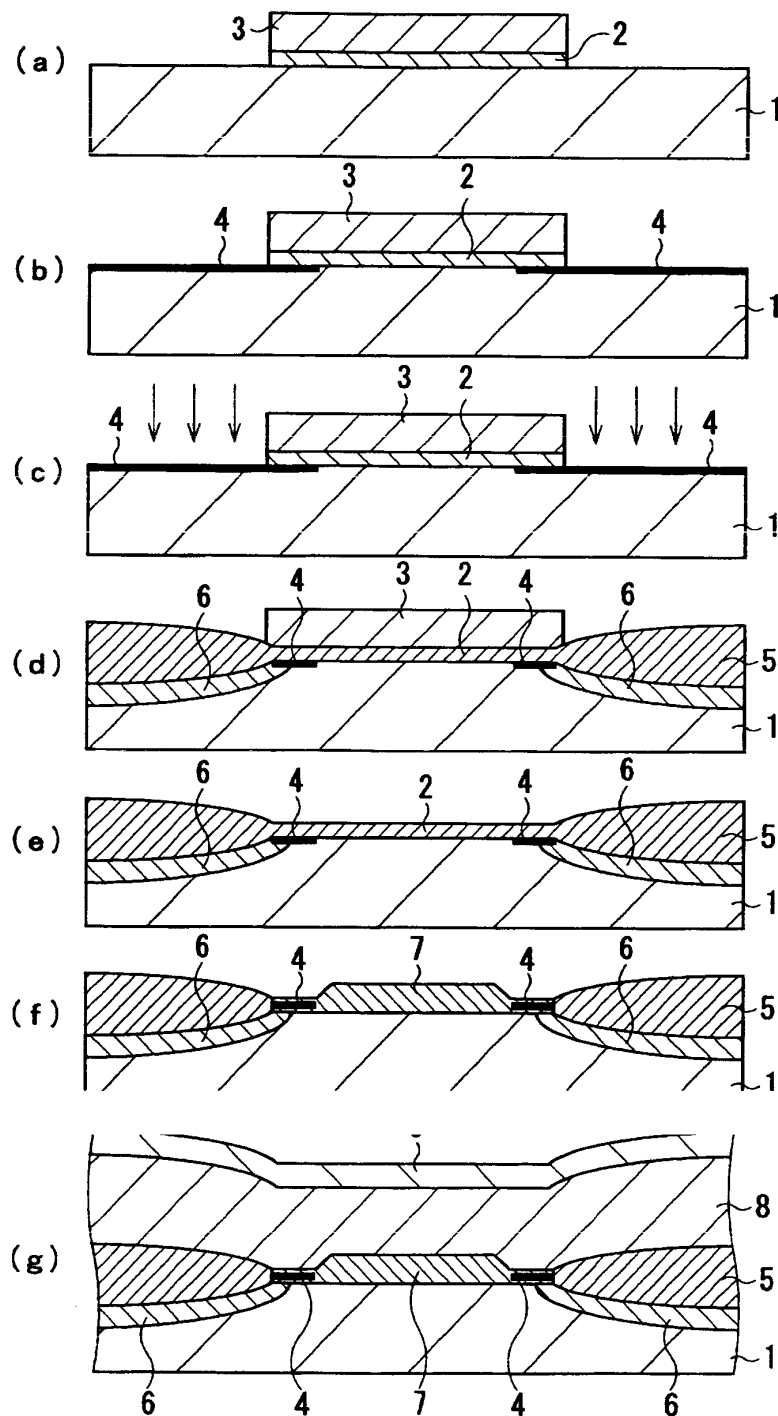
【符号の説明】

- 1, 11 p 型シリコン半導体基板
- 2, 5, 7, 14, 15, 17, 18, 19 シリコン酸化膜
- 3, 4, 10, 12, 16 シリコン窒化膜
- 6, 13 不純物拡散層
- 8, 20 多結晶シリコン膜
- 9 タングステンシリサイド膜



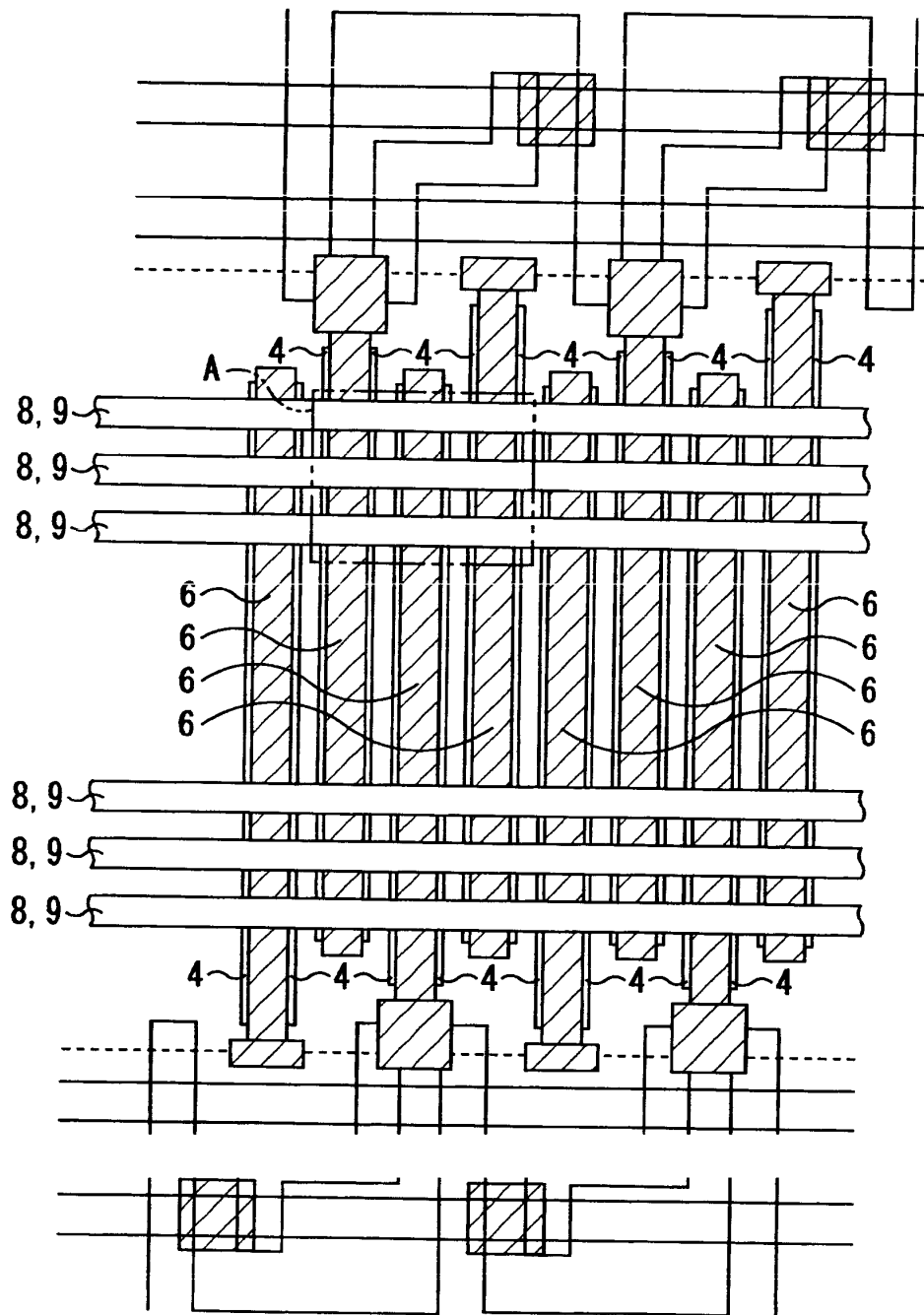
【書類名】 図面

【図1】



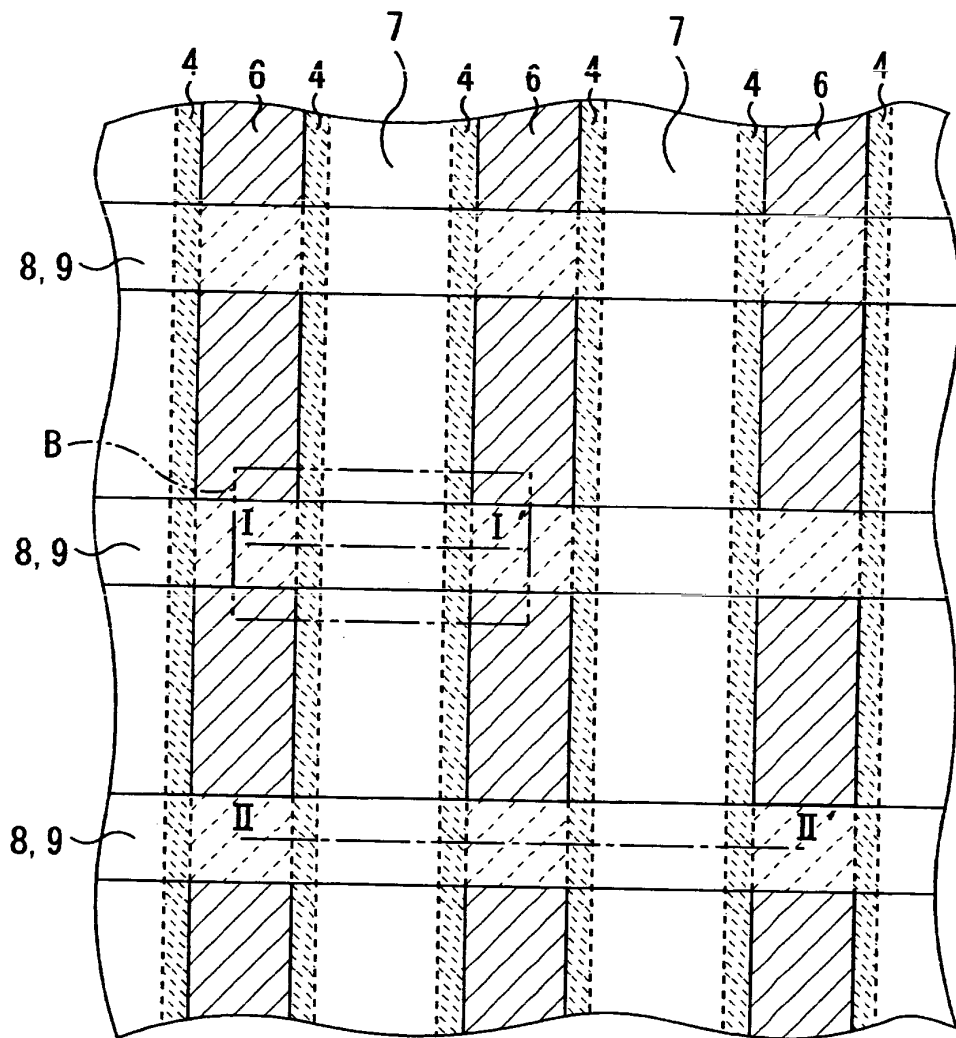
第1の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図

【図2】



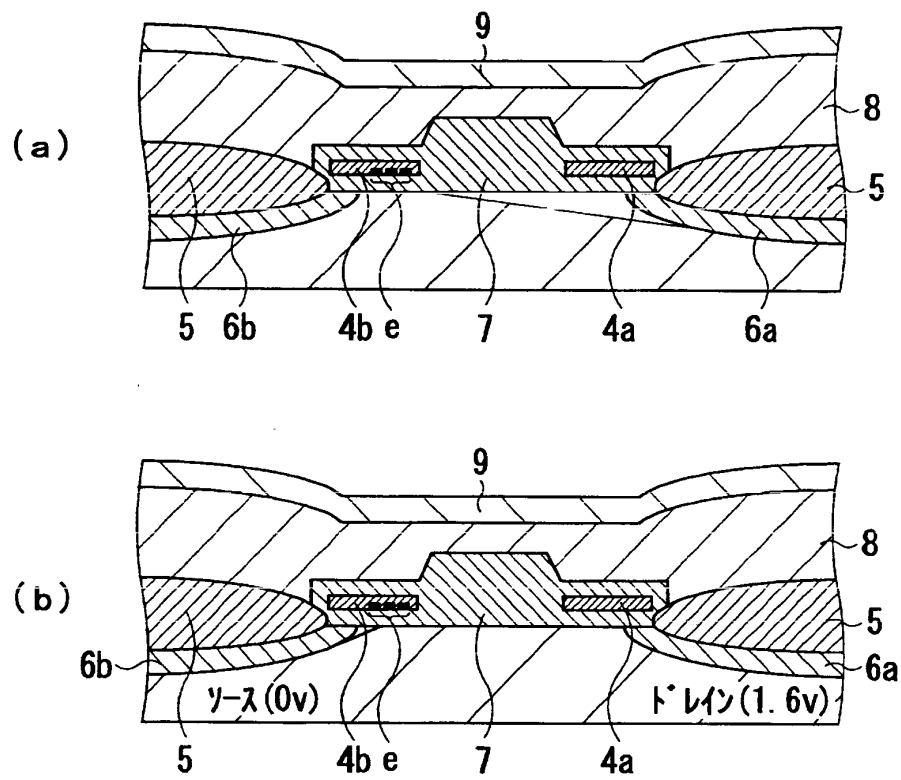
第1の実施形態に係る不揮発性半導体メモリの  
平面構成を示す模式図

【図3】



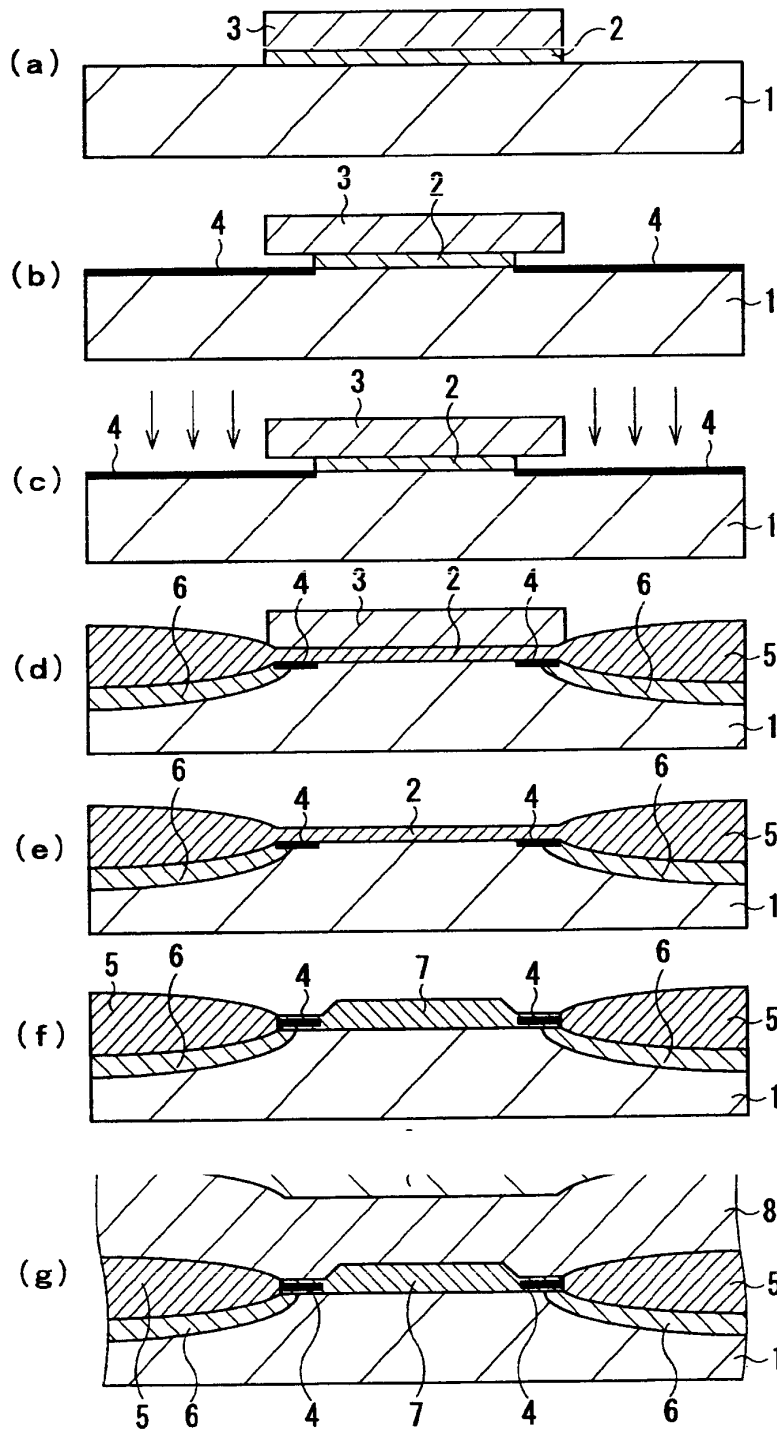
平面構成を詳細に示す模式図

【図4】



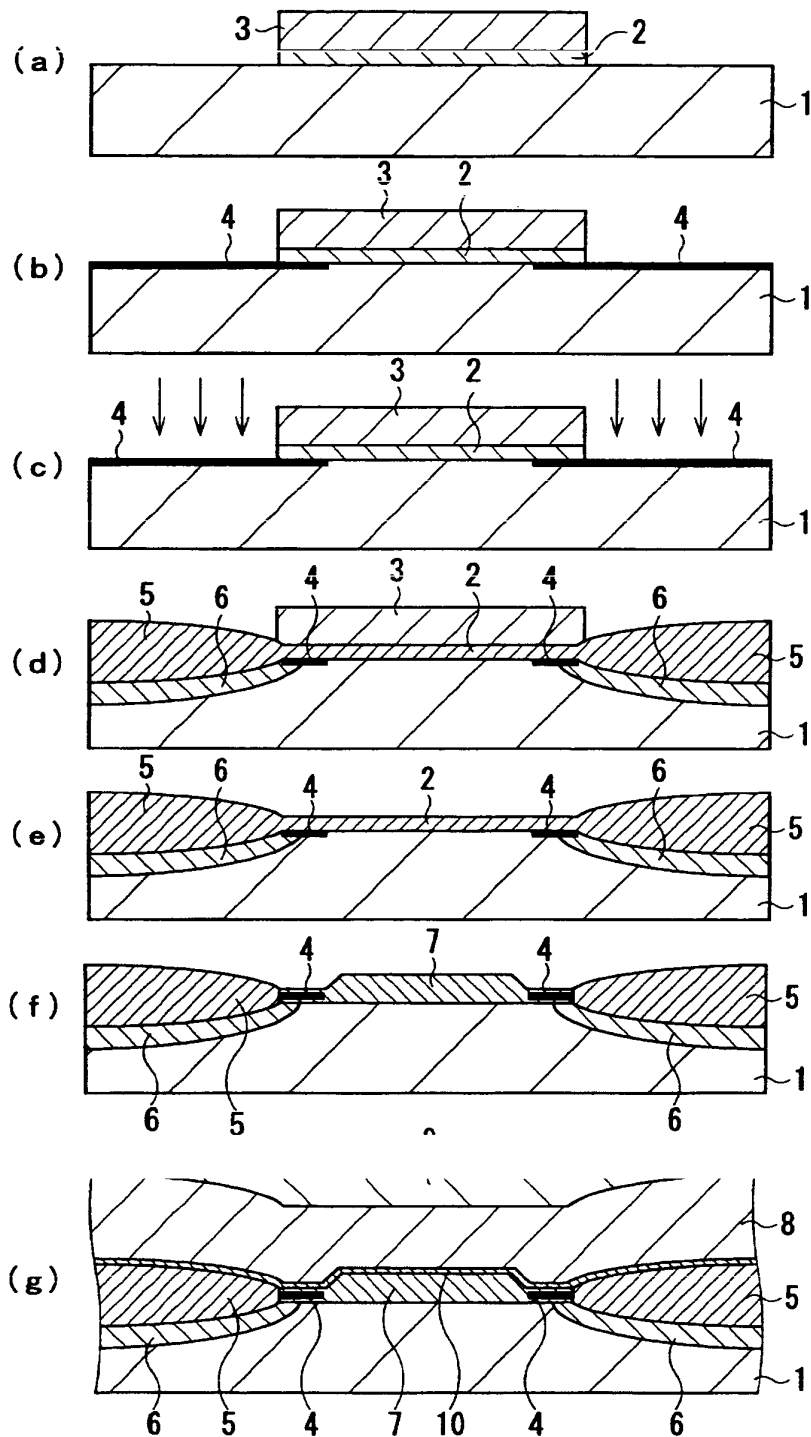
第1の実施形態に係る不揮発性半導体メモリの  
書き込み/読み出しの動作を示す概略断面図

【図5】



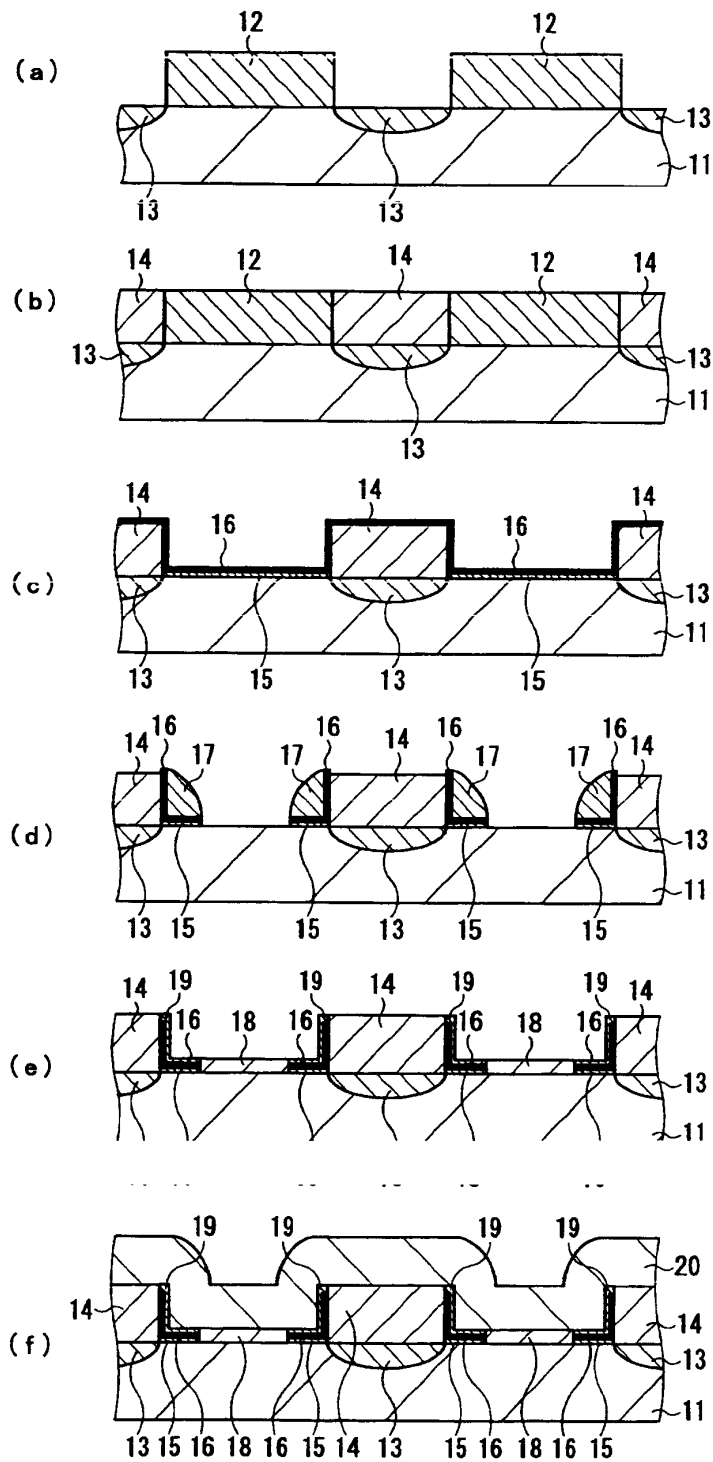
第2の実施形態に係る不揮発性半導体メモリの製造方法を工程順に示す概略断面図

【図6】



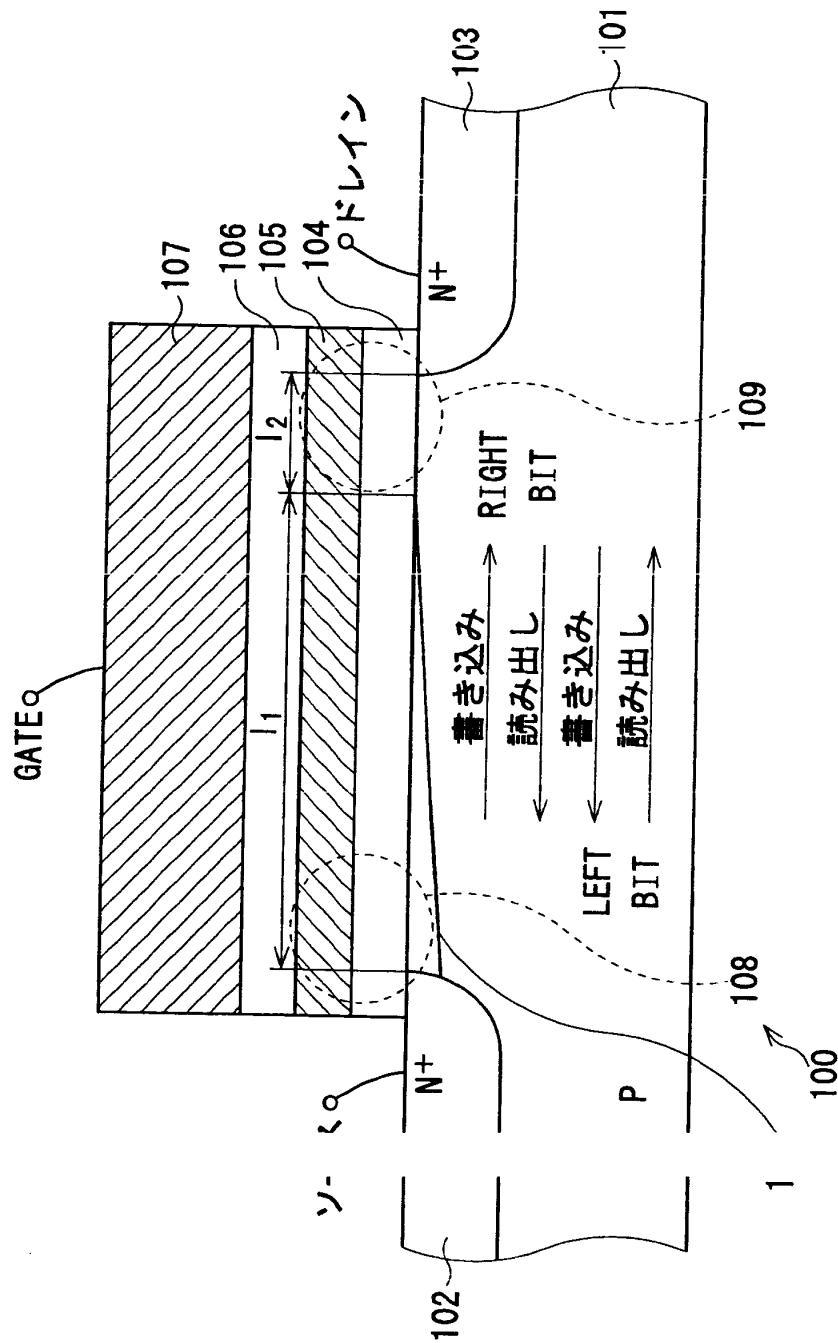
第3の実施形態に係る不揮発性半導体メモリの  
製造方法を工程順に示す概略断面図

【図7】



第4の実施形態に係る不揮発性半導体メモリの  
製造方法を工程順に示す概略断面図

【図8】



従来の不揮発性半導体メモリの構成を示す概略断面図



【書類名】 要約書

【要約】

【課題】 キャリアの注入位置を異ならせて2ビットの情報を記録する半導体記憶装置において、書き込み、消去不良の発生を抑止して信頼性を向上させる。

【解決手段】 p型シリコン半導体基板1の表面領域に形成された1対の不純物拡散層6と、1対の不純物拡散層6間におけるp型シリコン半導体基板1上にゲート酸化膜7を介して形成されたゲート電極（多結晶シリコン膜8、タングステンシリサイド膜9）とを備えた不揮発性半導体メモリであって、ゲート酸化膜7の両端部にシリコン窒化膜4が形成され、1対の不純物拡散層6のそれぞれに近接する位置のキャリアトラップ特性が局部的に高く形成されている。この構成により、ゲート酸化膜7の両端以外にキャリアが注入されることを抑止でき、情報を確実に記録、保持することが可能となり、書き込み不良又は消去不良の発生を防止して信頼性を向上させることが可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号                    [000005223]

1. 変更年月日            1996年 3月26日  
   [変更理由]            住所変更  
     住 所                神奈川県川崎市中原区上小田中4丁目1番1号  
     氏 名                富士通株式会社